Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе № 11**

Дисциплина: Языки описания аппаратных средств вычислительных систем.

Выполнил студент гр. 5130901/10101 \_\_\_\_\_\_\_\_\_\_\_\_\_ М.Т. Непомнящий

(подпись)

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.А. Федотов

(подпись)

Санкт-Петербург

2023

Оглавление

[1. Задание lab3s\_1 2](#_Toc151948481)

[1.1. Задание 2](#_Toc151948482)

[1.2. Описание на языке Verilog 2](#_Toc151948483)

[1.3. Моделирование 3](#_Toc151948484)

[1.4. Выводы 4](#_Toc151948485)

[2. Задание lab3s\_2 5](#_Toc151948486)

[2.1. Задание 5](#_Toc151948487)

[2.2. Описание на языке Verilog 5](#_Toc151948488)

[2.3. Моделирование 5](#_Toc151948489)

[2.4. Выводы 6](#_Toc151948490)

[3. Задание lab3s\_3 7](#_Toc151948491)

[3.1. Задание 7](#_Toc151948492)

[3.2. Описание на языке Verilog 7](#_Toc151948493)

[3.3. Моделирование 8](#_Toc151948494)

[3.4. Выводы 9](#_Toc151948495)

[4. Задание lab3s\_4 10](#_Toc151948496)

[4.1. Задание 10](#_Toc151948497)

[4.2. Описание на языке Verilog 10](#_Toc151948498)

[4.3. Результат синтеза (RTL) 10](#_Toc151948499)

[4.4. Назначение выводов СБИС 11](#_Toc151948500)

[4.5. Тестирование на плате miniDiLaB-CIV 11](#_Toc151948501)

[4.6. Выводы 11](#_Toc151948502)

# Задание lab3s\_1

## Задание

✓ На языке Verilog разработайте

• модуль b2bd\_SR – последовательный преобразователь двоичного 8-разрядного кода в двоично-десятичный (Сотни, Десятки, Единицы). Допустимо поведенческое (не структурное) описание модуля.

• Разработайте тест класса 2 и осуществите моделирование. Тест должен проверять ВСЕ возможные комбинации 8-разрядного двоичного кодаОписание на языке Verilog

## Описание на языке Verilog

Описание модуля и теста на языке Verilog приведено ниже на Рис. 1‑1 и Рис. 1‑2.

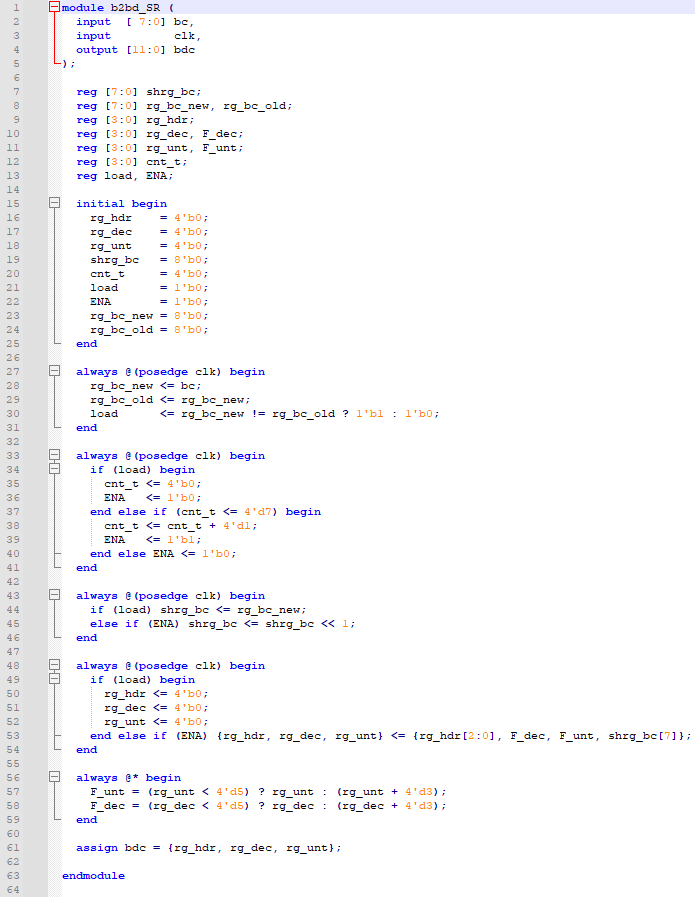


Рис. 1‑1 Описание модуля на языке Verilog

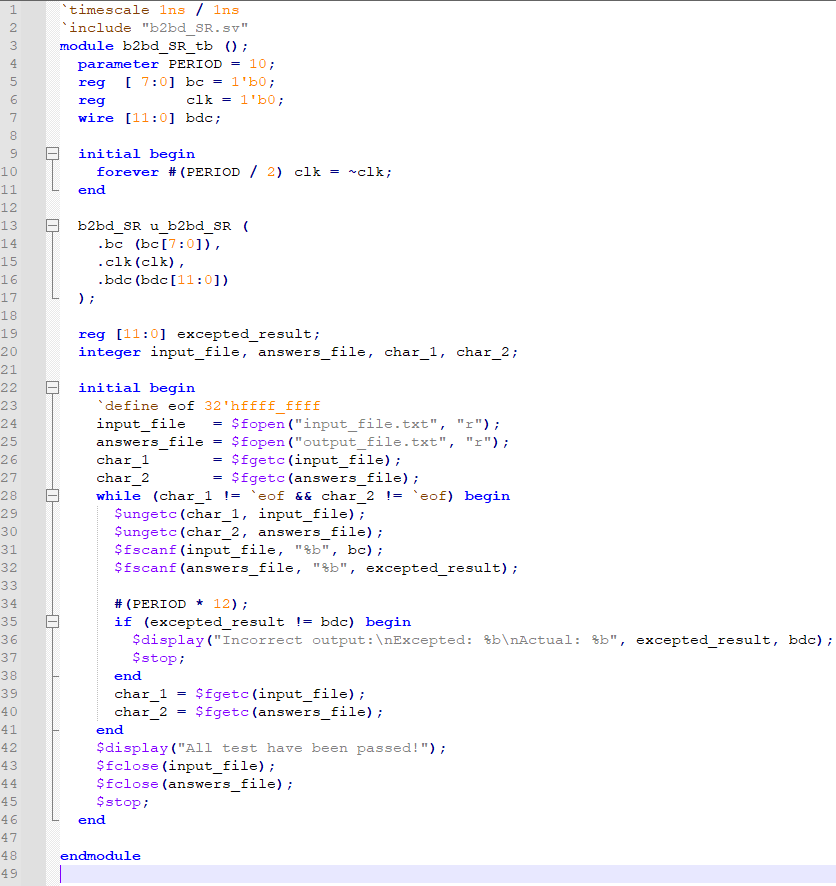


Рис. 1‑2 Описание теста на языке Verilog

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты 2 класса:

1. Проверка общей работоспособности модуля:

* на вход clk подаётся тактовый сигнал с периодом 10 нс
* на вход bc подаются последовательно двоичные числа от 0 до 255
* на выходе bdc последовательно получаем двоично-десятичные числа

Результаты моделирования приведены на Рис. 1-3

Моделирование показало, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов

Изображение выглядит как линия, снимок экрана

Автоматически созданное описание

Рис. 1‑3 Результат моделирования средствами ModelSim

## Выводы

Разработанный на языке Verilog модуль для последовательного преобразования 8-разрядного двоичного кода в двоично-десятичный представляет практическую ценность в области цифрового проектирования. Использование тестов II класса при проверке его функциональности средствами ModelSim улучшает процесс разработки и повышает надежность устройства.

На практике, данное устройство может быть востребовано во многих областях, таких как автоматизированные системы учета данных, встраиваемые системы и цифровая обработка сигналов. Например, в системах сбора данных или контроля, где необходимо преобразовывать двоичные данные в формат, удобный для человеческого восприятия.

Этот модуль также может быть интегрирован в системы, где требуется конвертация данных для визуализации на дисплее или передачи на внешние устройства. Таким образом, усовершенствованный процесс разработки и тестирования с использованием тестов II класса не только экономит время и ресурсы, но и способствует созданию более надежных и инновационных цифровых устройств.

# Задание lab3s\_2

## Задание

✓ На языке Verilog разработайте

• модуль b2bd\_LOG –преобразователь двоичного 8-разрядного кода в двоично-десятичный (Сотни, Десятки, Единицы) на комбинационной схеме. При описании использовать либо функции, либо сделать иерархическое описание.

• Разработайте тест класса 2 и осуществите моделирование. Используйте тест, созданный в 1-ой части.

## Описание на языке Verilog

Описание модуля на языке Verilog приведено ниже на Рис. 2‑1.

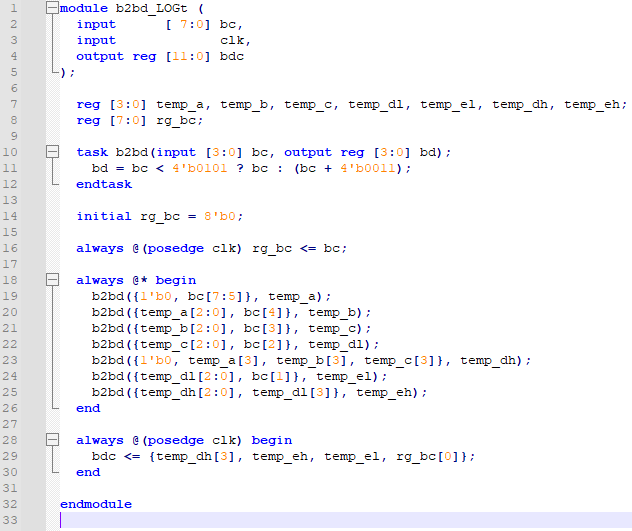


Рис. 2‑1 Описание модуля на языке Verilog

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты 2 класса:

1. Проверка общей работоспособности модуля:

* на вход clk подаётся тактовый сигнал с периодом 10 нс
* на вход bc подаются последовательно двоичные числа от 0 до 255
* на выходе bdc последовательно получаем двоично-десятичные числа

Результаты моделирования приведены на Рис. 2-2

Моделирование показало, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов

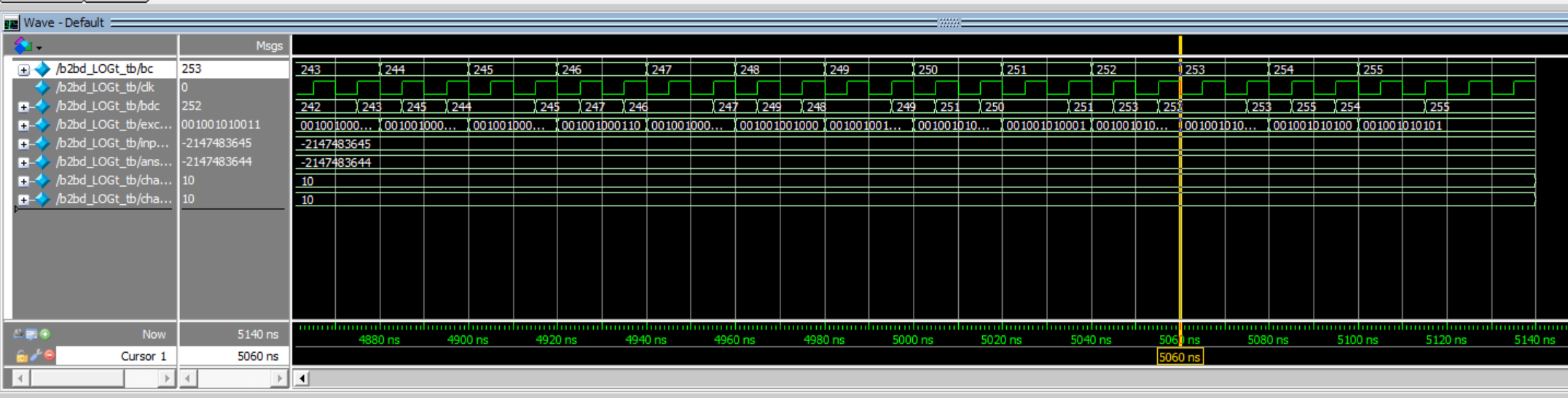


Рис. 2‑2 Результат моделирования средствами ModelSim

## Выводы

На языке Verilog был разработан модуль устройства для последовательного преобразования 8-разрядного двоичного кода в двоично-десятичный с использованием функций. Для проверки данного модуля был воспроизведен ранее созданный тест II класса, и работоспособность устройства была успешно подтверждена в процессе моделирования с применением средств ModelSim.

Применение тестов II класса при проверке функциональности различных устройств, аналогично тестам I класса, значительно упрощает процесс разработки и выявления возможных ошибок. Этот подход не только повышает эффективность тестирования, но также обеспечивает более надежные результаты. В дальнейшем использование тестов II класса планируется для проверки различных устройств, что способствует повышению качества и надежности наших проектов.

# Задание lab3s\_3

## Задание

✓ На языке Verilog разработайте

• модуль b2bd\_ROM –преобразователь двоичного 8-разрядного кода в двоично-десятичный (Сотни, Десятки, Единицы), реализованный на базе памяти ROM.

• Разработайте тест класса 2 и осуществите моделирование. o В тесте должны сравниваться все три реализации (Часть1, Часть2, Часть 3) Если они дают одинаковый результат – формируется признак успешного окончания; если нет – признак ошибки.

## Описание на языке Verilog

Описание модуля на языке Verilog и тесты для всех модулей приведены ниже на Рис. 3‑1 и Рис.3-2.

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 3‑1 Описание модуля на языке Verilog

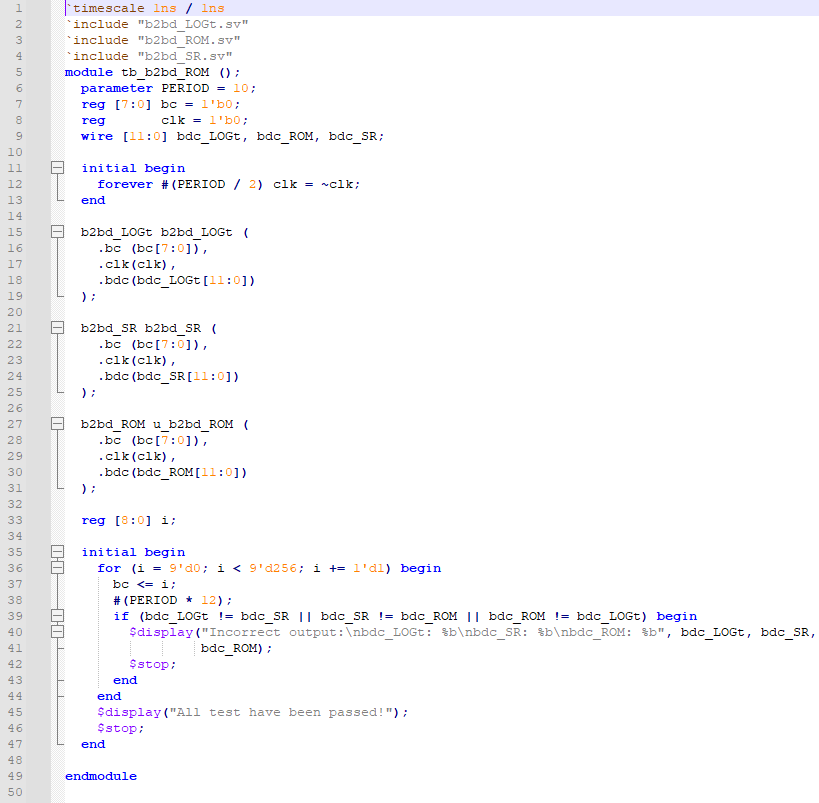


Рис. 3‑2 Описание теста на языке Verilog

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты 2 класса:

1. Проверка общей работоспособности модулей:

* на вход clk подаётся тактовый сигнал с периодом 10 нс
* на вход bc подаются последовательно двоичные числа от 0 до 255
* на выходах bdc\_log, bdc\_sr, bdc\_rom последовательно получаем одинаковые двоично-десятичные числа

Результаты моделирования приведены на Рис. 3-3

Моделирование показало, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов

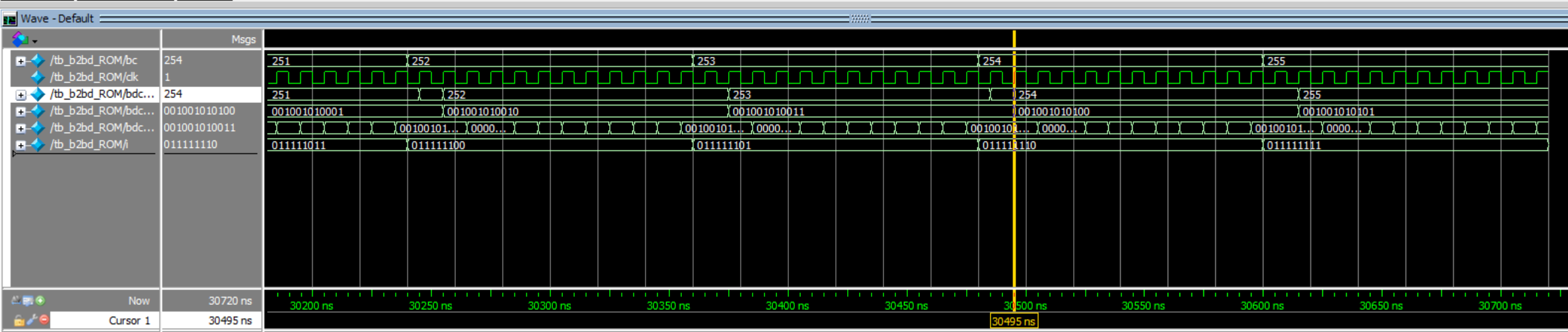


Рис. 3‑3 Результат моделирования средствами ModelSim

## Выводы

На языке Verilog мы разработали инновационный модуль устройства, представляющий собой последовательный преобразователь 8-разрядного двоичного кода в двоично-десятичный, с внедрением эффективной системы управления памятью. Этот подход не только обеспечивает точное преобразование данных, но и оптимизирует использование ресурсов.

При тестировании модуля, а также всех предыдущих, мы активно воспользовались тестами II класса, гарантируя тщательное исследование функциональности каждого компонента. Результаты успешных проверок, полученные с использованием ModelSim, подтверждают стабильную работу устройства.

Эффективное использование тестов II класса в разработке не только упрощает процесс выявления возможных ошибок, но и подчеркивает нашу фокусировку на инновациях и качестве. В дальнейших проектах мы планируем продолжить интеграцию передовых методов тестирования, таких как тесты II класса, для обеспечения высокой надежности и эффективности наших устройств.

# Задание lab3s\_4

## Задание

✓ На языке Verilog опишите:

• модуль lab\_3s – преобразователь двоичного 8-разрядного кода в двоично-десятичный (Сотни, Десятки, Единицы), обеспечивающий отображение преобразованных данных на 4-разрядном 7-сегментном индикаторе.

• Реализуйте модуль на плате miniDiLaB-CIV o 7-сегментный индикатор должен отображать: ♣ Разряд А – отображает 0 ♣ Разряд В – отображает сотни ♣ Разряд С – отображает десятки ♣ Разряд D – отображает единицы

• Номера выводов микросхемы и стандарты следует задать с помощью атрибутов.

• Для реализации динамического управления 7-сегментным индикатором используйте модуль ss\_cntr из задания lab\_2s

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4-1.

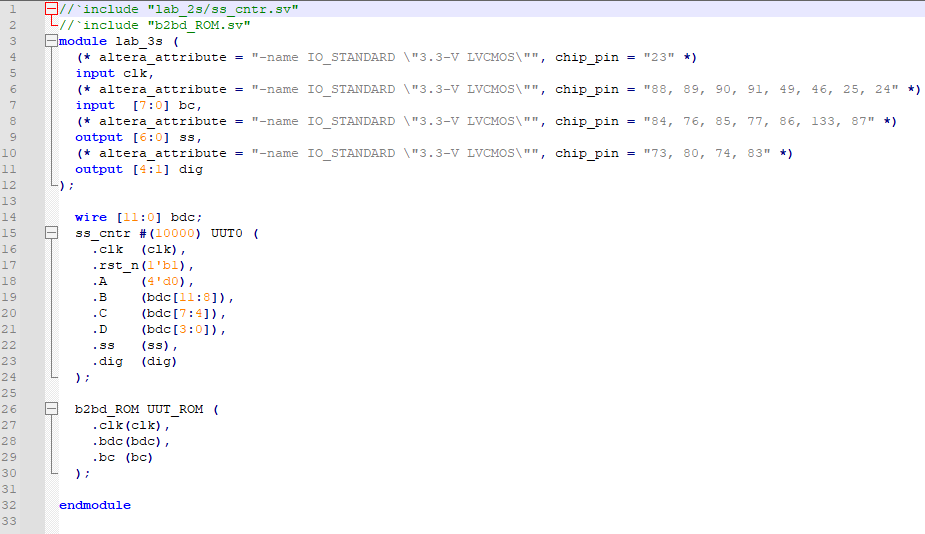


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 4-2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как текст, снимок экрана, линия

Автоматически созданное описаниеРис. 4-2 Синтезированная схема

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4-3

Изображение выглядит как текст, снимок экрана, число, меню

Автоматически созданное описаниеРис. 4-3 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

На языке Verilog было разработано описание устройства последовательного преобразователя 8-разрядного двоичного кода в двоично-десятичный. Работоспособность устройства была проверена на стенде.

В процессе выполнения данной задачи мы внедрили использование тестов II класса, что дало возможность более полного и точного тестирования устройства. Этот подход, схожий с применением тестов I класса, существенно упростил процесс разработки, а также обнаружения и устранения возможных ошибок в устройстве. Отличительной особенностью тестов II класса является их способность к автоматической проверке, что значительно повышает эффективность тестирования.

Планируется продолжить использование тестов II класса в будущих проектах для проверки наших устройств, подчеркивая тем самым наш стремление к обеспечению высокой надежности и качества в разработке цифровых устройств.